

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

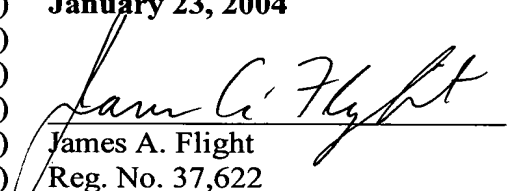
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT  
Docket No. 20059/PIA31212

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Jae Suk LEE	)	I hereby certify that the documents
Serial No.: 10/748,468	)	referred to as enclosed herewith are
Filed: December 30, 2003	)	being deposited with the United States
For: "Methods for Forming Shallow	)	Postal Service, first class postage
Trench Isolation Structures"	)	prepaid, in an envelope addressed to
Group Art Unit: Unknown	)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned	)	Box 1450, Alexandria, Virginia
	)	22313-1450 on this date:
	)	
	)	<b>January 23, 2004</b>
	)	
	)	
	)	James A. Flight
	)	Reg. No. 37,622

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

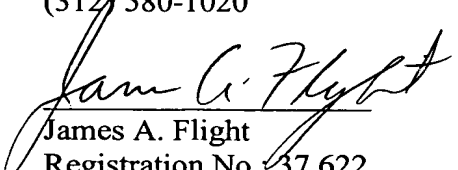
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0086357 and a certified copy of Korean Patent Application Serial No. 10-2002-0086350, both filed December 30, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

  
James A. Flight  
Registration No. 37,622

**January 23, 2004**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086350  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

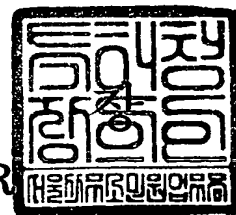
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 26 일

특 허 청

COMMISSIONER





1020020086350

출력 일자: 2003/12/30

**【서지사항】**

<b>【서류명】</b>	특허출원서		
<b>【권리구분】</b>	특허		
<b>【수신처】</b>	특허청장		
<b>【참조번호】</b>	0048		
<b>【제출일자】</b>	2002.12.30		
<b>【발명의 명칭】</b>	S T I 제조 방법		
<b>【발명의 영문명칭】</b>	METHOD FOR MANUFACTURING SHALLOW TRENCH ISOLATION		
<b>【출원인】</b>			
<b>【명칭】</b>	동부전자 주식회사		
<b>【출원인코드】</b>	1-1998-106725-7		
<b>【대리인】</b>			
<b>【성명】</b>	장성구		
<b>【대리인코드】</b>	9-1998-000514-8		
<b>【포괄위임등록번호】</b>	1999-059722-7		
<b>【대리인】</b>			
<b>【성명】</b>	김원준		
<b>【대리인코드】</b>	9-1998-000104-8		
<b>【포괄위임등록번호】</b>	1999-059725-9		
<b>【발명자】</b>			
<b>【성명의 국문표기】</b>	이재석		
<b>【성명의 영문표기】</b>	LEE, Jae Suk		
<b>【주민등록번호】</b>	650625-1030024		
<b>【우편번호】</b>	467-900		
<b>【주소】</b>	경기도 이천시 장호원 현대아파트 101-603		
<b>【국적】</b>	KR		
<b>【취지】</b>	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
<b>【수수료】</b>			
<b>【기본출원료】</b>	10	면	29,000 원
<b>【가산출원료】</b>	0	면	0 원

1020020086350

출력 일자: 2003/12/30

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소자(semiconductor device)간을 절연시키는 STI(Shallow Trench Isolation)를 제조하는 방법에 관한 것이다. 종래에는 STI를 형성하기 위해 RIE(Reactive Ion Etching) 공정을 수행할 때 패드 절연체(pad dielectric)의 일부가 손상되어 결국, STI에 리키지가 발생한다. 본 발명은 STI 내에 전하를 축적할 수 있는 금속(20)을 삽입함으로써 STI를 통과하려던 전하는 금속(20) 내에 일단 흡수되어 반대쪽 금속(20)으로 건너가기 위한 에너지를 얻기까지 상당기간 머물도록 한다. 따라서, STI의 리키지가 줄어드는 효과가 있다.

**【대표도】**

도 1g

**【명세서】****【발명의 명칭】**

S T I 제조 방법{METHOD FOR MANUFACTURING SHALLOW TRENCH ISOLATION}

**【도면의 간단한 설명】**

도 1a 내지 도 1g는 본 발명에 따른 STI 제조 방법의 일 실시예를 공정별로 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 기판

12 : TEOS

14 : 나이트라이드

16 : 포토 레지스트

18 : 라이너

20 : 금속

22 : 절연체

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 STI(Shallow Trench Isolation) 제조 방법에 관한 것으로, 특히, 반도체 소자(semiconductor device)간을 절연시키는 STI를 제조하는 방법에 관한 것이다.

<8> 반도체 소자에서 STI는 특정 트랜지스터(transistor)와 다른 트랜지스터 사이를 절연시키는데 널리 이용되고 있다. 그러나 디자인 룰(design rule)이 줄어들음에 따라 STI의 리키지(leakage) 문제가 대두되었고 이로 인해 발생하는 문제를 제거하기 위해 곧 DTI(Deep Trench Isolation)의 도입이 필요하게 될 것이라는 전망이 나오고 있다.

<9> 종래의 STI를 제조하는 방법에 있어서, 먼저, 실리콘 기판(silicon substrate) 위의 STI 영역을 제외한 표면에 패드 절연체(pad dielectric)를 선택적으로 형성한다. 다음, RIE(Reactive Ion Etching) 공정을 수행하여 패드 절연체 영역을 제외한 실리콘 기판을 일정 깊이 제거하여 STI를 형성한다. 이어, 열화시키고 절연체를 전표면에 덮은 후 평탄화한다.

<10> 그러나, 이와 같은 종래의 기술에 있어서는 STI를 형성하기 위해 RIE 공정을 수행할 때 패드 절연체의 일부가 손상되어 결국, STI에 리키지가 발생한다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 본 발명은 상술한 결점을 해결하기 위하여 안출한 것으로, STI 내에 전하를 축적할 수 있는 금속을 삽입하여 STI의 리키지를 줄이는 STI 제조 방법을 제공하는 데 그 목적이 있다.

**【발명의 구성 및 작용】**

<12> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.

<13> 도 1a 내지 도 1g는 본 발명에 따른 STI 제조 방법의 일 실시예를 공정별로 나타낸 단면도이다.

<14> 먼저, 도 1a와 같이 실리콘 기판(10) 위에 패드 절연체인 TEOS(Tetra Ethyl Ortho Silicate)(12) 및 나이트라이드(nitride)(14)를 LPCVD(Low Pressure Chemical Vapor Deposition) 방법을 사용하여 차례로 적층한다. 나이트라이드(14) 위 STI 영역을 제외한 표면에 포토 레지스트(Photo Resist : PR)(16)를 선택적으로 형성한다.

<15> 도 1b와 같이 RIE 공정을 수행하여 포토 레지스트(16) 영역 이외의 TEOS(12) 및 나이트라이드(14)를 제거한다. 포토 레지스트(16)를 제거한다.



- <16> 도 1c와 같이 RIE 공정을 수행하여 나이트라이드(14) 영역 이외의 실리콘 기판(10)을 일정 깊이 제거하여 STI를 형성한다.
- <17> 도 1d와 같이 전표면에 라이너(liner)(18)를 형성한다. 상기 라이너(18)는 LP-TEOS(Low Pressure-Tetra Ethyl Ortho Silicate) 또는 열 산화막(thermal oxidation)으로 이루어진다.
- <18> 도 1e와 같이 전표면에 금속(20)을 100Å 내지 1000Å의 두께만큼 형성한다. 상기 금속(20)은 폴리 실리콘, Ti/TiN/W의 적층, 및 Ta/TaN/W의 적층 중에 어느 하나로 이루어진다.
- <19> 도 1f와 같이 식각(etch) 공정을 수행하여 STI의 측벽에 형성된 금속(20)을 제외한 나머지 금속(20)을 모두 제거한다.
- <20> 도 1g와 같이 STI 내부에 산화막 등의 절연체(22)를 HDP CVD 또는 O3-TEOS 방법으로 채운후 화학적 기계적 연마 공정 등의 평탄화 공정을 수행한다.

#### 【발명의 효과】

- <21> 이상에서 설명한 바와 같이, 본 발명은 STI 내에 전하를 축적할 수 있는 금속(20)을 삽입함으로써 STI를 통과하려던 전하는 금속(20) 내에 일단 흡수되어 반대쪽 금속(20)으로 건너가기 위한 에너지를 얻기까지 상당기간 머물도록 한다. 따라서, STI의 리키지가 줄어드는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 위에 TEOS 및 나이트라이드를 사용하여 차례로 적층하는 제 1 단계;

상기 나이트라이드 위 STI 영역을 제외한 표면에 포토 레지스트를 선택적으로 형성하는 제 2 단계;

상기 포토 레지스트 영역 이외의 상기 TEOS 및 상기 나이트라이드를 제거하는 제 3 단계

;

상기 포토 레지스트를 제거하는 제 4 단계;

상기 나이트라이드 영역 이외의 상기 기판을 일정 깊이 제거하여 STI를 형성하는 제 5 단계;

전표면에 라이너를 형성하는 제 6 단계;

전표면에 금속을 형성하는 제 7 단계;

상기 STI의 측벽에 형성된 상기 금속을 제외한 나머지 금속을 모두 제거하는 제 8 단계 ; 및

상기 STI 내부에 절연체를 채운후 평탄화 공정을 수행하는 제 9 단계를 포함하는 STI 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 기판은 실리콘 기판인 것을 특징으로 하는 STI 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 제 1 단계는 LPCVD 방법을 사용하여 상기 기판 위에 상기 TEOS 및 상기 나이트라이드를 차례로 적층하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 제 3 단계는 RIE 공정을 수행하여 상기 포토 레지스트 영역 이외의 상기 TEOS 및 상기 나이트라이드를 제거하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 5】**

제 1 항에 있어서, 상기 제 5 단계는 RIE 공정을 수행하여 상기 나이트라이드 영역 이외의 상기 기판을 일정 깊이 제거하여 STI를 형성하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 6】**

제 1 항에 있어서, 상기 라이너는 LP-TEOS 또는 열 산화막으로 이루어지는 것을 특징으로 하는 STI 제조 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 금속은 100Å 내지 1000Å의 두께만큼 형성되는 것을 특징으로 하는 STI 제조 방법.

**【청구항 8】**

제 1 항에 있어서, 상기 금속은 폴리 실리콘, Ti/TiN/W의 적층, 및 Ta/TaN/W의 적층 중에 어느 하나로 이루어지는 것을 특징으로 하는 STI 제조 방법.

**【청구항 9】**

제 1 항에 있어서, 상기 절연체는 산화막인 것을 특징으로 하는 STI 제조 방법.

【청구항 10】

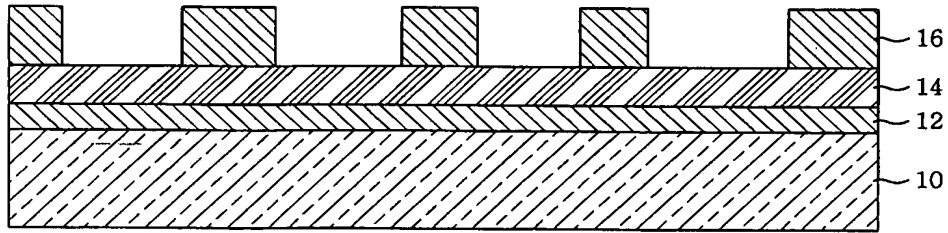
제 1 항에 있어서, 상기 절연체는 HDP CVD 또는 O3-TEOS 방법으로 채우는 것을 특징으로 하는 STI 제조 방법.

【청구항 11】

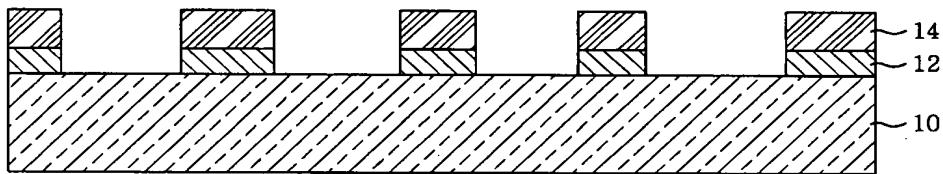
제 1 항에 있어서, 상기 평탄화 공정은 화학적 기계적 연마 공정인 것을 특징으로 하는 STI 제조 방법.

【도면】

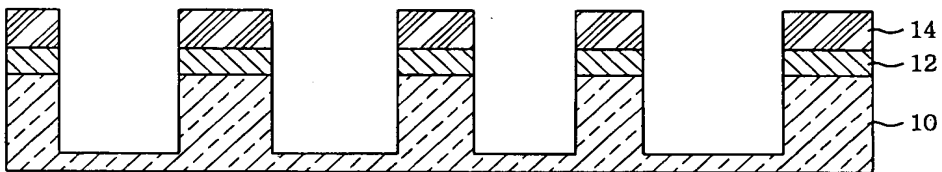
【도 1a】



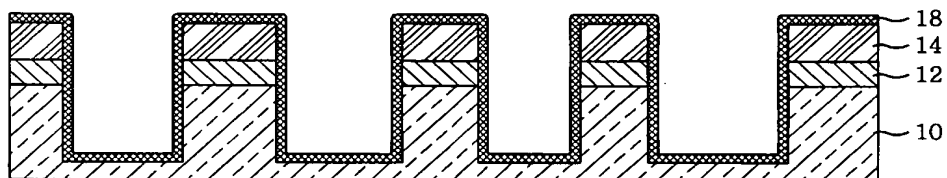
【도 1b】



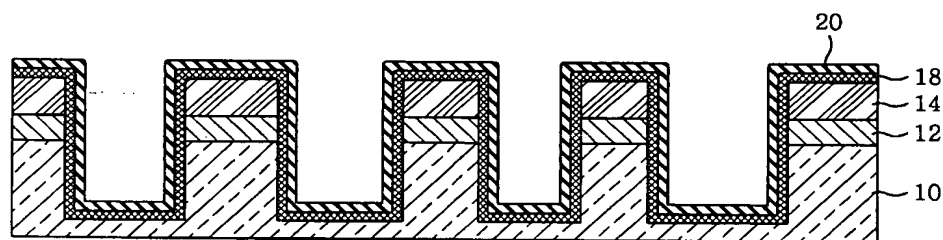
【도 1c】



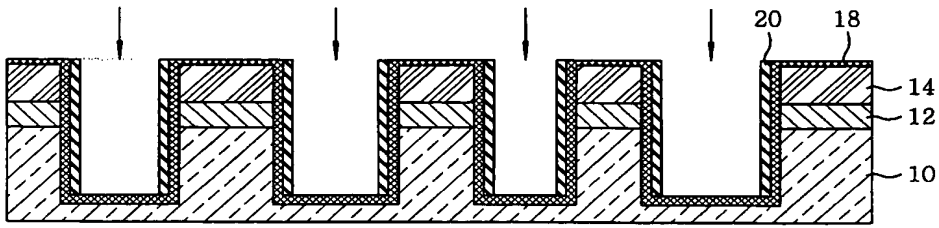
【도 1d】



【도 1e】



【도 1f】



【도 1g】

